



(19)

(11) Publication number:

10021280 A

Generated Document

J1046 U.S. PTO
10/085009
03/01/02

PATENT ABSTRACTS OF JAPAN

(21) Application number: 08172704

(51) Intl. Cl.: G06F 17/50 H01L 21/82

(22) Application date: 02.07.96

(30) Priority:

(43) Date of application publication: 23.01.98

(84) Designated contracting states:

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: TAKENAKA YASUSHI
SUGANO MASAHIDE
KAJIMOTO YASUHIKO
YOKOYAMA KENJI
HIROSE KATSUHIKO

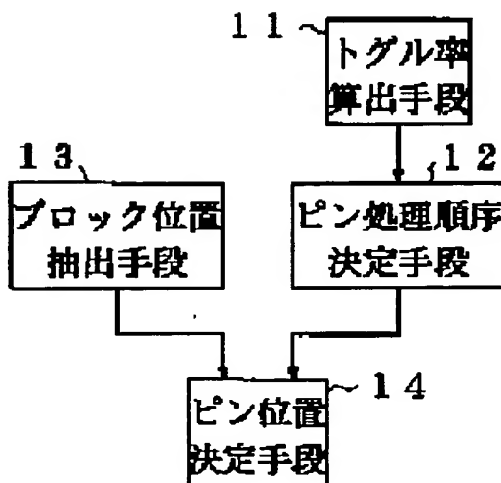
(74) Representative:

(54) DESIGNING METHOD
FOR INTEGRATED
CIRCUIT DEVICE, AND
INTEGRATED CIRCUIT
DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption by setting pin positions, the arrangement order of wires, the borders of blocks and the sectional shapes of the wires on the basis of the toggle rate of the integrated circuit device.

SOLUTION: When the layout of the integrated circuit device is determined, a toggle rate calculating means 11 calculates the toggle rate of pins of each block first. A pin process order determining means 12 rearranges pin information in the decreasing order of calculated toggle rates. Further a block position extracting means 13 extracts the positions of respective blocks. A pin position determining means 14 determines the positions of pins of each block according to the process order of the pins. Consequently, wires which are high in toggle rate preferentially become short and the power consumption of a writing part due to variation in the level of a signal is reduced.



COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-21280

(43) 公開日 平成10年(1998) 1月23日

| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|------|--------|---------------|---------|
| G 0 6 F 17/50 | | | G 0 6 F 15/60 | 6 5 8 T |
| H 0 1 L 21/82 | | | H 0 1 L 21/82 | C |

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号 特願平8-172704

(22) 出願日 平成 8 年(1996) 7 月 2 日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 竹中 康

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 菅野 雅秀

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 梶本 靖彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 岡本 宜喜

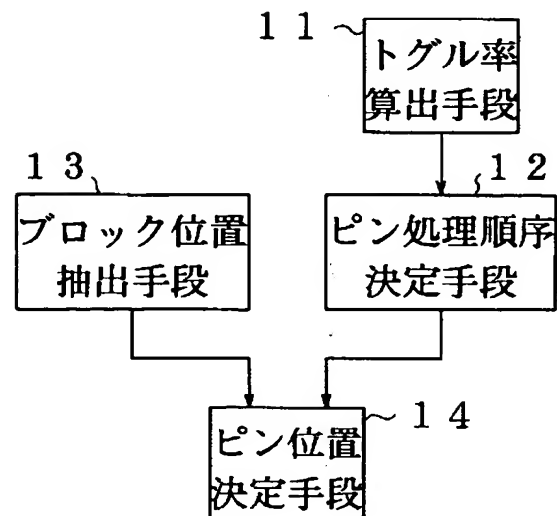
最終頁に続く

(54) 【発明の名称】 集積回路装置の設計方法と集積回路装置

(57) 【要約】

【課題】 集積回路装置のトグル率を基に、ピン位置、配線の配置順序、ブロックの境界、配線の断面形状を設定し、消費電力の低減を図ること。

【解決手段】 集積回路装置のレイアウトを決めるとき、まずトグル率算出手段 1 1 は各ブロックのピンのトグル率を算出する。ピン処理順序決定手段 1 2 は算出されたトグル率から、トグル率の高い順にピン情報を並べ変える。またブロック位置抽出手段 1 3 は各ブロックの位置を抽出する。ピン位置決定手段 1 4 は各ブロックのピンの位置をピンの処理順序に従い決定する。こうするとトグル率の高い配線は優先的に短くなり、信号のレベル変化による配線部分の消費電力が低減される。



1

【特許請求の範囲】

【請求項1】 論理セルを含む複数のブロックを、接続ポートであるピンと配線ラインとを介して結合して集積回路装置を設計する集積回路装置の設計方法であって、集積回路装置における各ブロックのピンのトグル率を算出するトグル率算出ステップと、

前記トグル率算出ステップにより算出された前記ブロックのピンのトグル率を基に、トグル率の高いピンから順次処理されるようピンの処理順序を決定するピン処理順序決定ステップと、

フロアプラン上での前記ブロックの位置を抽出するブロック位置抽出ステップと、

前記ピン処理順序決定ステップにより決定されたピン処理順序と前記ブロック位置抽出ステップにより抽出されたブロック位置とを基に、トグル率の高いピンから配線が短くなるようブロックのピン位置を順次決定するピン位置決定ステップと、を備えたことを特徴とする集積回路装置の設計方法。

【請求項2】 論理セルを含む複数のブロックを、接続ポートであるピンと配線ラインとを介して結合して集積回路装置を設計する集積回路装置の設計方法であって、集積回路装置におけるブロックのピンのトグル率を算出するトグル率算出ステップと、

前記トグル率算出ステップにより算出された前記ブロックのピンのトグル率を基に、トグル率の高いピンから順次処理されるようピンの処理順序を決定するピン処理順序決定ステップと、

前記ピン処理順序決定ステップにより決定されたピン処理順序を基に、トグル率の高いピンからブロック間の配線を行なうブロック間配線ステップと、を備えたことを特徴とする集積回路装置の設計方法。

【請求項3】 論理セルを含む複数のブロックを、接続ポートであるピンと配線ラインとを介して結合して集積回路装置を設計する集積回路装置の設計方法であって、集積回路装置における各ブロックのピンのトグル率を算出するトグル率算出ステップと、

前記トグル率算出ステップにより算出された前記ブロックのピンのトグル率を基に、トグル率の高いピンから順次処理されるようピンの処理順序を決定するピン処理順序決定ステップと、

フロアプラン上での前記ブロックの位置を抽出するブロック位置抽出ステップと、

前記ピン処理順序決定ステップにより決定されたピン処理順序と前記ブロック位置抽出ステップにより抽出されたブロック位置とを基に、トグル率の高いピンから配線が短くなるようブロックのピン位置を順次決定するピン位置決定ステップと、

前記ピン処理順序決定ステップにより決定されたピン処理順序を基に、トグル率の高いピンからブロック間の配線を行なうブロック間配線ステップと、を備えたことを

2

特徴とする集積回路装置の設計方法。

【請求項4】 論理セルを含む複数のブロックを、接続ポートであるピンと配線ラインとを介して結合して集積回路装置を設計する集積回路装置の設計方法であって、各配線ラインのトグル率を算出するトグル率算出ステップと、

前記配線ラインが接続されるセルを抽出するセル抽出ステップと、

前記トグル率算出ステップにより算出された配線ラインのトグル率を弁別し、前記セル抽出ステップにより抽出されたセルを基に、トグル率の高い配線ラインが接続されるセルに対しては同一のブロックに配置し、トグル率の低い配線ラインが接続されるセルに対しては他のブロックに配置するブロック配置ステップと、を備えたことを特徴とする集積回路装置の設計方法。

【請求項5】 論理セルを含む複数のブロックを、接続ポートであるピンと配線ラインとを介して結合して集積回路装置を設計する集積回路装置の設計方法であって、各配線ラインのトグル率を算出するトグル率算出ステップと、

前記配線ラインが接続されるセルを抽出するセル抽出ステップと、

前記トグル率算出ステップにより算出された配線ラインのトグル率を弁別し、前記セル抽出ステップにより抽出されたセルを基に、トグル率の高い配線ラインで接続されるセルが互いに異なるブロックに属する場合、同一のブロックに移動させるブロック間移動ステップと、を備えたことを特徴とする集積回路装置の設計方法。

【請求項6】 論理セルを含む複数のブロックを、接続ポートであるピンと配線ラインとを介して結合して集積回路装置を設計する集積回路装置の設計方法であって、各配線ラインのトグル率を算出するトグル率算出ステップと、

前記トグル率算出ステップにより算出されたトグル率に基づいて弁別し、高トグル率の配線ラインの少なくとも一方に隣接させて低トグル率の配線ラインを配置するようブロック間の配線の配置順序を決定する配線配置順序決定ステップと、を備えたことを特徴とする集積回路装置の設計方法。

【請求項7】 論理セルを含む複数のブロックを、接続ポートであるピンと配線ラインとを介して結合して集積回路装置を設計する集積回路装置の設計方法であって、各配線ラインのトグル率を算出するトグル率算出ステップと、

配線ラインの論理レベルが逆相関係にある配線ラインを抽出する逆相配線抽出ステップと、

前記トグル率算出ステップにより算出されたトグル率に基づいて弁別し、トグル率が高く、且つ前記逆相配線抽出ステップで抽出された互いに逆相の2本の配線ラインに対しては、互いに隣接しないよう前記配線ライン間に

3

少なくとも1本の低トグル率の配線ラインを配置する配線配置順序決定ステップと、を備えたことを特徴とする集積回路装置の設計方法。

【請求項8】 論理セルを含む複数のブロックを、接続ポートであるピンと配線ラインとを介して結合して集積回路装置を設計する集積回路装置の設計方法であって、ブロック間の複数の配線ラインのうちバスを構成する配線ラインを抽出するバス配線抽出ステップと、前記バス配線抽出ステップで抽出されたバス配線ラインに対して、最上位ビットより下位に向けた複数の配線ラインと最下位ビットより上位に向けた複数の配線ラインとを順次交互に配置する配線配置順序決定ステップと、を備えたことを特徴とする集積回路装置の設計方法。

【請求項9】 論理セルを含む複数の回路ブロックが接続ポートであるピンと配線ラインとを介して結合された集積回路装置において、互いに干渉し合う二本の配線ラインを並行に配置するとき、前記配線ライン断面の形状が矩形である場合に夫々の断面の長辺側がほぼ直交するように配置したことを特徴とする集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路のマスクレイアウト設計を行う集積回路装置の設計方法、及び集積回路装置に関するものである。

【0002】

【従来の技術】従来、半導体集積回路（以下、集積回路装置と呼ぶ）のブロックレイアウトを行なう際、特に最終的なチップ面積や動作速度を重視して回路ブロックのピン位置や配線の配置順序を決めることが一般的である。その結果、全体として配線長が短くなり、容量を少なくすることで、配線容量に起因する消費電力を少なくしていた。

【0003】IC、LSI、VLSI等の集積回路装置を製造するプロセスにおいて、チップに盛り込まれ、それ自身で1つの機能を持った回路をブロックと呼ぶ。例えば内蔵のROM、RAM、ALU、CPU、DAC、ADC等である。また各ブロックを構成する基本的な論理回路をセルと呼ぶ。例えばOR、AND、NAND、NOR等のゲートや、インバータ（INV）である。そして各セル又は各ブロックの入力ポート及び出力ポートをピンと呼ぶ。信号はこれらのピンを介して他のブロックに入力又は出力される。ここでいう信号とは、H/Lレベルの論理信号を指す。集積回路装置が例えばDSPや1チップマイクロコンピュータの場合、特にクロック信号は高速でそのレベルがH又はLレベルに変化する。またデータやアドレス信号はデータのアクセス毎に各ビットのレベルがH又はLレベルに変化する。このように各信号ライン又はピンにおいて、信号レベルの変化する速度をトグル率という。

4

【0004】特にCMOS等を用いてLSI又はVLSIを実現する場合、トグル率の低いスタティックな信号では問題が生じないが、クロック信号やデータバス又はアドレスバスのLSBの信号ラインはトグル率が高く、この部分での配線容量による消費電力は無視できないものがある。

【0005】

【発明が解決しようとする課題】前述した従来の技術では、小さくなった面積によって得られた消費電力の削減分以上の効果は期待できない。近年重要になってきた低消費電力の半導体集積回路の実現に対しては、これだけの技術では不十分である。

【0006】本発明は、このような従来の問題点に鑑みてなされたものであって、集積回路装置内の配線容量に起因する消費電力を一層低減することと、消費電力の低減のためピンの位置と信号ラインの配置順序を効率的に決定する集積回路装置の設計方法、及びこの方法を用いて設計した集積回路装置を実現することを目的とする。

【0007】

【課題を解決するための手段】本願の請求項1記載の発明は、論理セルを含む複数のブロックを、接続ポートであるピンと配線ラインとを介して結合して集積回路装置を設計する集積回路装置の設計方法であって、集積回路装置における各ブロックのピンのトグル率を算出するトグル率算出ステップと、前記トグル率算出ステップにより算出された前記ブロックのピンのトグル率を基に、トグル率の高いピンから順次処理されるようピンの処理順序を決定するピン処理順序決定ステップと、フロアプラン上での前記ブロックの位置を抽出するブロック位置抽出ステップと、前記ピン処理順序決定ステップにより決定されたピン処理順序と前記ブロック位置抽出ステップにより抽出されたブロック位置とを基に、トグル率の高いピンから配線が短くなるようブロックのピン位置を順次決定するピン位置決定ステップと、を備えたことを特徴とするものである。

【0008】また本願の請求項2記載の発明は、論理セルを含む複数のブロックを、接続ポートであるピンと配線ラインとを介して結合して集積回路装置を設計する集積回路装置の設計方法であって、集積回路装置におけるブロックのピンのトグル率を算出するトグル率算出ステップと、前記トグル率算出ステップにより算出された前記ブロックのピンのトグル率を基に、トグル率の高いピンから順次処理されるようピンの処理順序を決定するピン処理順序決定ステップと、前記ピン処理順序決定ステップにより決定されたピン処理順序を基に、トグル率の高いピンからブロック間の配線を行なうブロック間配線ステップと、を備えたことを特徴とするものである。

【0009】また本願の請求項3記載の発明は、論理セルを含む複数のブロックを、接続ポートであるピンと配線ラインとを介して結合して集積回路装置を設計する集

5

積回路装置の設計方法であって、集積回路装置における各ブロックのピンのトグル率を算出するトグル率算出ステップと、前記トグル率算出ステップにより算出された前記ブロックのピンのトグル率を基に、トグル率の高いピンから順次処理されるようピンの処理順序を決定するピン処理順序決定ステップと、フロアプラン上での前記ブロックの位置を抽出するブロック位置抽出ステップと、前記ピン処理順序決定ステップにより決定されたピン処理順序と前記ブロック位置抽出ステップにより抽出されたブロック位置とを基に、トグル率の高いピンから配線が短くなるようブロックのピン位置を順次決定するピン位置決定ステップと、前記ピン処理順序決定ステップにより決定されたピン処理順序を基に、トグル率の高いピンからブロック間の配線を行なうブロック間配線ステップと、を備えたことを特徴とするものである。

【0010】また本願の請求項4記載の発明は、論理セルを含む複数のブロックを、接続ポートであるピンと配線ラインとを介して結合して集積回路装置を設計する集積回路装置の設計方法であって、各配線ラインのトグル率を算出するトグル率算出ステップと、前記配線ラインが接続されるセルを抽出するセル抽出ステップと、前記トグル率算出ステップにより算出された配線ラインのトグル率を弁別し、前記セル抽出ステップにより抽出されたセルを基に、トグル率の高い配線ラインが接続されるセルに対しては同一のブロックに配置し、トグル率の低い配線ラインが接続されるセルに対しては他のブロックに配置するブロック配置ステップと、を備えたことを特徴とするものである。

【0011】また本願の請求項5記載の発明によれば、論理セルを含む複数のブロックを、接続ポートであるピンと配線ラインとを介して結合して集積回路装置を設計する集積回路装置の設計方法であって、各配線ラインのトグル率を算出するトグル率算出ステップと、前記配線ラインが接続されるセルを抽出するセル抽出ステップと、前記トグル率算出ステップにより算出された配線ラインのトグル率を弁別し、前記セル抽出ステップにより抽出されたセルを基に、トグル率の高い配線ラインで接続されるセルが互いに異なるブロックに属する場合、同一のブロックに移動させるブロック間移動ステップと、を備えたことを特徴とするものである。

【0012】また本願の請求項6記載の発明は、論理セルを含む複数のブロックを、接続ポートであるピンと配線ラインとを介して結合して集積回路装置を設計する集積回路装置の設計方法であって、各配線ラインのトグル率を算出するトグル率算出ステップと、前記トグル率算出ステップにより算出されたトグル率に基づいて弁別し、高トグル率の配線ラインの少なくとも一方に隣接させて低トグル率の配線ラインを配置するようブロック間の配線の配置順序を決定する配線配置順序決定ステップと、を備えたことを特徴とするものである。

6

【0013】また本願の請求項7記載の発明は、論理セルを含む複数のブロックを、接続ポートであるピンと配線ラインとを介して結合して集積回路装置を設計する集積回路装置の設計方法であって、各配線ラインのトグル率を算出するトグル率算出ステップと、配線ラインの論理レベルが逆相関係にある配線ラインを抽出する逆相配線抽出ステップと、前記トグル率算出ステップにより算出されたトグル率に基づいて弁別し、トグル率が高く、且つ前記逆相配線抽出ステップで抽出された互いに逆相の2本の配線ラインに対しては、互いに隣接しないよう前記配線ライン間に少なくとも1本の低トグル率の配線ラインを配置する配線配置順序決定ステップと、を備えたことを特徴とするものである。

【0014】また本願の請求項8記載の発明は、論理セルを含む複数のブロックを、接続ポートであるピンと配線ラインとを介して結合して集積回路装置を設計する集積回路装置の設計方法であって、ブロック間の複数の配線ラインのうちバスを構成する配線ラインを抽出するバス配線抽出ステップと、前記バス配線抽出ステップで抽出されたバス配線ラインに対して、最上位ビットより下位に向けた複数の配線ラインと最下位ビットより上位に向けた複数の配線ラインとを順次交互に配置する配線配置順序決定ステップと、を備えたことを特徴とするものである。

【0015】また本願の請求項9記載の発明は、論理セルを含む複数の回路ブロックが接続ポートであるピンと配線ラインとを介して結合された集積回路装置において、互いに干渉し合う二本の配線ラインを並行に配置するとき、前記配線ライン断面の形状が矩形である場合に夫々の断面の長辺側がほぼ直交するように配置したことを特徴とするものである。

【0016】上記した各設計方法によれば、ブロックのピンの配置位置、ブロック間の配線ラインの配置順序、各セルが属するブロックの割当て等を、信号のトグル率の高いものから優先して自動的に決定できるようにしている。このため高周波の信号が流れる配線ライン又はピン（各セルのポート）でのクロストーク成分は少なくなり、クロストークによる電力消費を抑えることができる。このため集積回路装置の消費電力を削減することができる。

【0017】また高トグル率の配線ラインで結合される各セルは同一のブロックに再配置されているので、集積回路装置の機能の一部を変更するに際しても、すでに形成されたブロック単位でマスキレイアウトを再設計すれば、クロストークによる電力消費が増加しなくなる。

【0018】

【発明の実施の形態】

（実施の形態1）本発明の第1実施形態における集積回路装置の設計方法について図面を参照しつつ説明する。

図1は第1実施形態における集積回路装置の設計装置の

7

概要を示した説明図である。この設計装置は、トグル率算出手段11、ピン処理順序決定手段12、ブロック位置抽出手段13、ピン位置決定手段14を含んで構成される。

【0019】トグル率算出手段11は、レイアウトすべきブロックのピンのトグル率を算出する手段である。そして算出したトグル率をピン処理順序決定手段12に引き渡す。ピン処理順序決定手段12はレイアウトブロックの各ピンのトグル率から、トグル率の高い順にピン情報を並べ変える手段であり、その結果はピン位置決定手段14に出力される。

【0020】一方、ブロック位置抽出手段13はレイアウトブロックのフロアプラン上の位置を抽出する手段である。その結果はピン位置決定手段14に出力される。ピン位置決定手段14は、ピン処理順序決定手段12から入力されたピンの処理順序と、ブロック位置抽出手段13から入力されたレイアウトブロックの位置情報を受けとり、各レイアウトブロックのピンの位置をピンの処理順序に従い決定する手段である。

【0021】図2は第1実施形態における集積回路装置の設計方法の手順を示したフロー図である。ステップAにおいては、トグル率算出手段11によりレイアウトブロックの各ピンのトグル率を算出する。ステップBにおいてステップAより受け渡されたレイアウトブロックのピンのトグル率から、ピン処理順序決定手段12によりトグル率の高い順に処理を行なうため、ピン情報を並び変える。

【0022】ステップCでは、ブロック位置抽出手段13によりレイアウトブロックのフロアプラン上の位置を抽出する。ステップDにおいてステップBにより抽出されたピン処理情報と、ステップCにおいて抽出されたレイアウトブロックのフロアプラン上の位置情報を基に、ピン位置決定手段14により各レイアウトブロックのピン位置を決定する。以下に各ステップの詳細な内容を説明する。

【0023】図3はステップAのトグル率の算出を行なう手順を示したフロー図である。ステップa1でハードウェア記述言語より、レイアウトブロックのピンのみを抽出する。ステップa2ではステップa1で抽出したピンから、シミュレーション時にピンのトグル率を検出する記述を作成し、シミュレーションファイルに追加する。ステップa3ではシミュレーションを実行し、ステップa4で各レイアウトブロックのピンのトグル率の結果を得る。

【0024】図4はステップBにおいてピンの処理順序を決定するフロー図である。ステップb1でステップa4で生成したトグル率を読み込み、ステップb2においてステップb1で読み込んだトグル率をもとにトグル率の高い順にレイアウトブロックのピン情報の並べかえを行なう。

8

【0025】図5はステップCにおいてブロックの位置を抽出する手順を示したフロー図である。ステップc1においてフロアプランの情報を読み込み、ステップc2において未処理のレイアウトブロックのフロアプラン上の位置情報を抽出する。ステップc3では、全てのレイアウトブロックの位置情報の読み出しが終了したかを判断し、もし終了していなければステップc2に戻る。

【0026】図6はステップDにおいてレイアウトブロックのピンの位置を決定する手順を示したフロー図である。ステップd1ではピン位置を決定する処理が終了していないピンに対して、ピン処理順序決定手段12で決定した処理順序で最も処理順序の高いピンを抽出する。ステップd2で接続されるピンの距離が最短になる位置にピンを配置する。ステップd3で全てのピンの配置処理が終了したかを判断し、もし配置処理が終了していないピンがあればステップd1に戻る。

【0027】図7は第1の例として、ステップd2でピン配置の処理を行った集積回路装置の概略平面図である。レイアウトブロック15aからレイアウトブロック15bへ配線するため2つのピンを設ける場合、レイアウトブロック15bから見てレイアウトブロック15a上で最も近い配置可能な位置にピン16aを配置する。更にレイアウトブロック15b上でレイアウトブロック15aへ最も近い位置にピン16bを配置する。

【0028】図8は第2の例として、ステップd2でピン配置の処理を行った集積回路装置の概略平面図である。この例ではレイアウトブロック間の距離が近いピン配置位置は複数存在する。レイアウトブロック15cからレイアウトブロック15dへ配線するためのピンを配置する場合、レイアウトの左下を原点とし、そこからy方向に一番近い位置にピン16c、16dを夫々配置する。

【0029】図9は第3の例として、ステップd2でピン配置の処理を行った集積回路装置の概略平面図である。この例ではピンを配置するレイアウトブロックが3つになっている。この場合、レイアウトブロック15eとレイアウトブロック15fとレイアウトブロック15gの間で、ピン16eとピン16fとピン16gの距離の合計が最短になる位置にピン16を配置する。

【0030】以上のように第1実施形態の設計方法によれば、トグル率の高いピンから配線ラインが短くなるようなピンの配置を決定することができる。

【0031】（実施の形態2）本発明の第2実施形態における集積回路装置の設計方法について図面を参照しつつ説明する。図10は第2実施形態における集積回路装置の設計装置の概要を示した説明図である。この設計装置は、トグル率算出手段21、ピン処理順序決定手段22、ブロック間配線手段23を含んで構成される。

【0032】トグル率算出手段21はレイアウトブロックのピンのトグル率を算出する手段であり、算出結果は

ピン処理順序決定手段22に出力される。ピン処理順序決定手段22は、トグル率算出手段21から引き渡されたレイアウトブロックのピンのトグル率から、トグル率の高い順にピン情報を並べ変える手段である。この結果はブロック間配線手段23に出力される。ブロック間配線手段23はピン処理順序決定手段21からレイアウトブロックのピン処理順序の情報を受け取り、この処理順序に従い配線を行なう手段である。

【0033】図11は本実施形態における集積回路装置の設計方法の手順を示したフロー図である。ステップEにおいてトグル率算出手段21はレイアウトブロックのピンのトグル率を算出する。ステップFにおいてステップEより受け渡されたレイアウトブロックのピンのトグル率から、ピン処理順序決定手段22がトグル率の高い順に処理を行なうためピン情報を並び変える。ステップGにおいてステップFにより抽出されたピン処理情報をもとに、ブロック間配線手段23により各レイアウトブロック間の配線を行なう。尚、ステップEのトグル率の算出のフローは図3に示したフローと同様である。また、ステップFのピン処理順序の決定のフローは図4に示したフローと同様である。ここでステップGの詳細な内容を説明する。

【0034】図12はステップGにおけるブロック間配線を行なう手順を示したフロー図である。ステップg1では、配線の終了していないピンに対して、ピン処理順序決定手段22で決定した処理順序に従い、最も処理順序の高いピン間を配線する。ステップg2で全てのピンの配線処理が終了したかを判断し、もし配線処理が終了していないピンがあればステップg1に戻る。

【0035】このように第2実施形態の設計方法により、トグル率の高いピンから配線を決定することにより、トグル率の高いピン間の配線ラインを短くすることができる。

【0036】（実施の形態3）本発明の第3実施形態における集積回路装置の設計方法について図面を参照しつつ説明する。図13は第3実施形態における集積回路装置の設計装置の概要を示した説明図である。この設計装置は、トグル率算出手段31、ピン処理順序決定手段32、ブロック位置抽出手段33、ピン位置決定手段34、ブロック間配線手段35を含んで構成される。

【0037】トグル率算出手段31はレイアウトブロックのピンのトグル率を算出する手段である。ピン処理順序決定手段32はトグル率算出手段31から引き渡されたレイアウトブロックのピンのトグル率から、トグル率の高い順にピン情報を並べ変える手段である。この結果はピン位置決定手段34とブロック間配線手段35とに出力される。

【0038】ブロック位置抽出手段33はレイアウトブロックのフロアプラン上の位置を抽出する手段である。ピン位置決定手段34は、ピン処理順序決定手段31か

らレイアウトブロックのピンの処理順序の情報を入力すると共に、ブロック位置抽出手段33からレイアウトブロックの位置情報を入力し、各レイアウトブロックのピンの位置をピンの処理順序に従い決定する手段である。ブロック間配線手段35はピン位置決定手段34はからピン位置の情報を入力すると共に、ピン処理順序決定手段32からレイアウトブロックのピン処理順序の情報を入力し、配線を行なう手段である。

【0039】図14は本実施形態における集積回路装置の設計方法の手順を示したフロー図である。ステップHにおいては、トグル率算出手段31はレイアウトブロックのピンのトグル率を算出する。ステップIにおいてステップHより受け渡されたレイアウトブロックのピンのトグル率から、ピン処理順序決定手段32によりトグル率の高い順に処理を行なうピン情報を並び変える。ステップJでは、ブロック位置抽出手段33によりレイアウトブロックのフロアプラン上の位置を抽出する。

【0040】ステップKにおいてステップIにより抽出されたピン処理情報と、ステップJにおいて抽出されたレイアウトブロックのフロアプラン上の位置情報とに基づいて、ピン位置決定手段34により各レイアウトブロックのピン位置を決定する。ステップLにおいてステップIにより抽出されたピン処理情報をもとに、ブロック間配線手段35により各レイアウトブロック間の配線を行なう。

【0041】ステップHのトグル率の算出のフローは図3に示したフローと同様である。また、ステップIのピン処理順序の決定のフローは図4に示したフローと同様である。また、ステップJのブロック位置の抽出のフローは図5に示したフローと同様である。また、ステップKのピン位置の決定のフローは図6に示したフローと同様である。また、ステップLのブロック間配線のフローは図12に示したフローと同様である。

【0042】（実施の形態4）本発明の第4実施形態における集積回路装置の設計方法について図面を参照しつつ説明する。図15は第4実施形態における集積回路装置の設計装置の概要を示した説明図である。この設計装置は、トグル率算出手段41、セル抽出手段42、セル選別手段43、ブロック分割手段44、ブロック配置手段45を含んで構成される。

【0043】トグル率算出手段41は配線のトグル率を算出する手段である。セル抽出手段42は配線が接続されるセルを抽出する手段である。セル抽出手段42はトグル率の高い配線が接続されるセルと、トグル率の低い配線が接続されるセルを選別する手段である。ブロック分割手段44はブロックの分割を設定又は変更する手段である。ブロック間配置手段45は新たなブロックを作成する手段である。

【0044】図16は本実施形態の集積回路装置の設計方法において、セルの選別手法を一例を示す説明図であ

る。本図に示すように集積回路装置には複数のセル46 a～46 fがある。例えばセル46 a, 46 b, 46 d, 46 eは太いラインで示す高トグルネット47で結合され、細いラインで示すセル46 b, 46 c, 46 fは、低トグルネット48で結合されているものとする。

【0045】図17は本実施形態の設計方法における集積回路装置のブロック分割手法を示す説明図である。ここでは、高トグルネット47で結合されたセル46 a, 46 b, 46 d, 46 eを1つのブロック49 aとして扱い、セル46 c, 46 fを他のブロック49 bとして扱うようにしている。

【0046】このように構成された集積回路装置の設計装置の動作を説明する。まずトグル率算出手段41で配線のトグル率を算出し、算出結果をセル選別手段43に与える。セル抽出手段42は配線の接続されるセルを抽出し、抽出結果をセル選別手段43に与える。セル選別手段43はトグル率の高い配線の順に、接続されるセルを選別し、その結果をブロック分割手段44に引き渡す。この結果、図16に示すようにトグル率の高いセル46が互いに近接するようセルが集められる。

【0047】ブロック分割手段44で選別されたセルについて、図17に示すように高トグルネット47に接続されるセル群を同一のブロック49 aに割り当て、低トグルネット48に接続されるセル群を同一のブロック49 bに割り当てる。またブロック間の配線は、低トグルネットとなるようにする。最後にブロック配置手段45で夫々のブロック内でセル46を再配置する。

【0048】以上のように本実施形態によれば、高トグルネットに接続されるセル群を同一のブロックに配置することにより、ブロックの再配置があってもブロック内では変更をしないで高トグルネットの総配線長を短かくすることができる。

【0049】(実施の形態5) 本発明の第5実施形態における集積回路装置の設計方法について図面を参照しつつ説明する。図18は第5実施形態における集積回路装置の設計装置の概要を示した説明図である。この設計装置は、トグル率算出手段51、セル抽出手段52、セル選別手段53、ブロック間移動手段54を含んで構成される。尚、トグル率算出手段51、セル抽出手段52、セル選別手段53は第4実施形態のものと同一である。ブロック間移動手段54はトグル率の高いセル群と、トグル率の低いセル群とが同一ブロックに混在しているとき、一方のセル群を別のブロックに移動させる手段である。

【0050】図19は集積回路装置のアレンジメントを改善する前の状態を示したセルの配置図である。本図において、ブロック49 cにはセル46 a, 46 b, 46 cが配置され、ブロック49 dにはセル46 d, 46 e, 46 fが配置されている。そして46 a, 46 b, 46 d, 46 eは高トグルネット47で結合され、46

b, 46 c, 46 fは低トグルネット48で結合されている。

【0051】図20は本実施形態の設計装置を用いて集積回路装置のセルをブロック間の移動した結果を示す配置図である。ここではブロック49 cにはセル46 a, 46 b, 46 d, 46 eが配置され、ブロック49 dにはセル46 c, 46 fが配置されている。そしてブロック49 c内のセルは高トグルネット47で結合され、ブロック49 d内のセルは低トグルネット48で結合されている。

【0052】このように構成された集積回路装置の設計装置の動作を説明する。まずトグル率算出手段51で配線のトグル率を算出し、算出結果をセル選別手段53に与える。セル抽出手段52は配線の接続されるセルを抽出し、抽出結果をセル選別手段53に与える。セル選別手段53はトグル率の高い配線の順に、接続されるセルを選別し、その結果をブロック間移動手段54に引き渡す。この結果、図16に示すようにトグル率の高いセル46が互いに近接するようセルが集められる。

【0053】ブロック間移動手段54では、図19に示すように各ブロック49 c, 49 d内に配置済みのセルに対して、高トグルネット47に接続されるセル群(セル46 a, 46 b, 46 d, 46 e)を同一のブロック49 cにまとめ、低トグルネット48に接続されるセル群(セル46 c, 46 f)を同一のブロック49 dにまとめる。またブロック間の配線は、低トグルネットとなるようにする。こうすると図20に示すような再配置になる。

【0054】このように本実施形態によれば、高トグルネットに接続されるセル群を同一のブロックに納まるように移動することにより、ブロックの再配置があっても、高トグルネットの総配線長を短かくすることができる。

【0055】(実施の形態6) 本発明の第6実施形態における集積回路装置の設計方法について図面を参照しつつ説明する。図21は第6実施形態における集積回路装置の設計装置の概要を示した説明図である。この設計装置は、トグル率算出手段61、配線配置順序決定手段62を含んで構成される。尚、トグル率算出手段61はこれまでの実施形態のものと同一である。配線配置順序決定手段62は、ブロック間又はセル間で配線される配線ラインの配置を、トグル率の大小に基づき決定する手段である。

【0056】このように構成された集積回路装置の設計装置の動作について説明する。図22はブロック間に複数の配線ラインを設ける場合の配置図である。ここではブロック63 aとブロック63 bとの間に、配線64 a～64 cを設ける場合を示している。まずトグル率算出手段61がブロック間の配線64 a～64 cのトグル率を算出し、その結果を配線配置順序決定手段62に引き

渡す。

【0057】従来のブロック間配線の方法では、この配線の配置順序を決める際に消費電力のことは考慮されていなかったために、配線された結果、その配線容量が小さくなるという保証がなかった。本実施例では各配線のトグル率を求め、その結果をもとに配線容量が小さくなるよう配線を決める。図22において例えば配線64aが最大のトグル率を持つとすると、この配線64aをトグル率の低い他の配線64b、64cを用いて両側から挟むように配置する。これにより、配線間のクロストーク及びクロストークによる消費電流を削減できる。

【0058】(実施の形態7)本発明の第7実施形態における集積回路装置の設計方法について図面を参照しつつ説明する。図23は第7実施形態における集積回路装置の設計装置の概要を示した説明図である。この設計装置は、トグル率算出手段71、逆相配線抽出手段72、配線配置順序決定手段73を含んで構成される。尚、トグル率算出手段71と配線配置順序決定手段73とは第6実施形態のものと同じである。逆相配線抽出手段72は、ブロック間又はセル間で配線される配線ラインのうち、同一時刻でH/Lレベルが互いに逆相関係にあるものを抽出する手段である。

【0059】このような構成の集積回路装置の設計装置の動作について説明する。図24はブロック間に複数の配線ラインを設ける場合の配置図である。ここではブロック74aとブロック74bとの間に、配線75a～75eがあるものとする。まずトグル率算出手段71において、ブロック間の配線75a～75eのトグル率を算出する。そして逆相配線抽出手段72において例えばクロック信号とその反転クロック信号のように互いに逆相の配線を抽出し、それらの結果を配線配置順序決定手段73に引き渡す。

【0060】図24において例えば配線75aと配線75bとが逆相であり、且つこれらの配線はトグル率が高いものとする。逆相配線抽出手段72はこのような配線75a、75bを抽出して、その結果を配線配置順序決定手段73に出力する。配線配置順序決定手段73は残りの配線の中からトグル率の低い配線75cを選択し、この配線75cの両側に配線75a、75bを配置する。この際1本ではなく複数本の配線を配置しても良い。さらに、第6実施形態の場合と同様に配線75aと配線75bの外側にも低トグル率の配線75d、75eを夫々配置する。これにより、配線のクロストークを小さくし、クロストークによる消費電流を削減できる。

【0061】(実施の形態8)本発明の第8実施形態における集積回路装置の設計方法について図面を参照しつつ説明する。図25は第8実施形態における集積回路装置の設計装置の概要を示した説明図である。この設計装置は、バス配線抽出手段81、配線配置順序決定手段82を含んで構成される。尚、配線配置順序決定手段82

は第6、7実施形態のものと同じである。バス配線抽出手段81は、各ブロック間で結合される配線群のうち、データバス、アドレスバス等のようにバス配線を抽出する手段である。

【0062】従来のブロック間配線では、通常はバス配線であることによって配線の配置が特に考慮されることは少なかった。従ってバス配線といえども通常は他の配線と同様に扱われていた。本実施形態は各配線のトグル率が分からなくても、バス配線であるという情報をもとに、確率的に配線容量を減らすものである。

【0063】集積回路装置の設計において、バス配線を行なうことが多くあるが、このバスの各ビットのトグル率は、平均的には下位のビット(LSB)の方が上位のビット(MSB)より大きい。これはデータバスのように確率的に各ビットにあまり差がないバスもあるが、アドレスバスのように直前の内容に1加算される使い方が多いためである。

【0064】図26に示す配線83a～83gは、1つのバスを構成する配線とする。また、83aを最下位ビット、83bを下位から2ビット目、以下同様に83gを最上位ビットとする。このとき、確率的に配線83gは最もトグル率が低いと推定できるので端に配置する。次に最もトグル率が高いと推定できる配線83aをその隣に配置する。以下順次最上位ビットから2ビット目の配線83f、最下位ビットから2ビット目の配線83bのように順次配置する。この結果、最上位ビットの配線を配置したのと反対側の端には、それほどトグル率が高くないと推定される中位のビットの配線を配置する。これにより配線のクロストークを小さくし、クロストークによる消費電力を削減できる。

【0065】(実施の形態9)本発明の第9実施形態における集積回路装置の設計方法について図面を参照しつつ説明する。図27は第9実施形態における集積回路装置の配線方法を示した断面図である。また図28は従来の集積回路装置の配線方法を示した断面図である。図28では隣接する配線92a及び配線92b、或いは配線92a及び配線92cは、矩形断面の長辺方向が同じ向きになるように形成されていた。これでは、隣接する配線92a及び配線92cは並行平板コンデンサを形成し、配線容量が大きくなる。

【0066】図27に示す本実施形態では、隣接する配線91a及び配線91b、又は配線91a及び配線91cが、その矩形断面の長辺方向がたがい直交するように形成する。こうすると並行平板コンデンサとしての配線容量が小さくなり、全体として配線容量の小さい配線となる。

【0067】

【発明の効果】以上のように本発明の集積回路装置の設計方法によれば、所望の回路機能を実現するため、複数のセルを含む各ブロックのレイアウト設計をする工程に

において、まず各配線ライン及びピンのトグル率を算出する。ここで弁別されたトグル率のデータを用いて、高トグル率のものから優先してピンの位置と配線ラインの配置を決定したり、同一ブロックに属するセルの割当てを決めるようにしている。このため配線ライン間のクロストークによる消費電力損失を最小に抑えることができる。従って与えられた機能を有するブロックを用いて、低消費電力の半導体集積回路装置を実現できる。

【図面の簡単な説明】

【図1】本発明の第1実施形態における集積回路装置の設計装置の構成図である。

【図2】第1実施形態における集積回路装置の設計方法を示すフロー図である。

【図3】第1実施形態の設計方法において、トグル率算出手段の動作を示すフロー図である。

【図4】第1実施形態の設計方法において、ピン処理順序決定手段の動作を示すフロー図である。

【図5】第1実施形態の設計方法において、ブロック位置抽出手段の動作を示すフロー図である。

【図6】第1実施形態の設計方法において、ピン位置決定手段の動作を示すフロー図である。

【図7】第1実施形態の設計方法において、2ブロック間のピン位置決定方法の第1例を示す説明図である。

【図8】第1実施形態の設計方法において、2ブロック間のピン位置決定方法の第2例を示す説明図である。

【図9】第1実施形態の設計方法において、3ブロック間のピン位置決定方法の例を示す説明図である。

【図10】本発明の第2実施形態における集積回路装置の設計装置の構成図である。

【図11】第2実施形態における集積回路装置の設計方法を示すフロー図である。

【図12】第2実施形態の設計方法において、ブロック間配線手段の動作を示すフロー図である。

【図13】本発明の第3実施形態における集積回路装置の設計装置の構成図である。

【図14】第3実施形態における集積回路装置の設計方法を示すフロー図である。

【図15】本発明の第4実施形態における集積回路装置の設計装置の構成図である。

【図16】第4実施形態の設計方法において、セル選別手段の動作を示す説明図である。

【図17】第4実施形態の設計方法において、ブロック分割手段の動作を示す説明図である。

【図18】本発明の第5実施形態における集積回路装置の設計装置の構成図である。

【図19】第5実施形態における集積回路装置の設計方法の動作を示す説明図（その1）である。

【図20】第5実施形態における集積回路装置の設計方法の動作を示す説明図（その2）である。

【図21】本発明の第6実施形態における集積回路装置の設計装置の構成図である。

【図22】第6実施形態において、高トグル率の配線を低トグル率の配線で挟む配線状態を示す平面図である。

【図23】本発明の第7実施形態における集積回路装置の設計装置の構成図である。

【図24】第7実施形態において、高トグル率かつ逆相信号の配線状態を示す平面図である。

【図25】本発明の第8実施形態における集積回路装置の設計装置の構成図である。

【図26】第8実施形態において、バス配線の配置状態を示す平面図である。

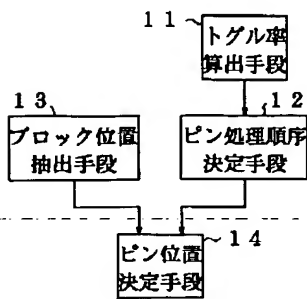
【図27】本発明の第9実施形態の設計方法を用いた配線の断面図である。

【図28】一般的な設計方法を用いた場合の並行2配線の断面図である。

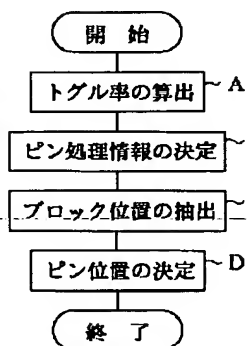
【符号の説明】

11, 21, 31, 41, 49a~49d, 51, 61, 71 トグル率算出手段
12, 22, 32 ピン処理順序決定手段
13 ブロック位置抽出手段
14, 34 ピン位置決定手段
15, 15a~15g, 63a, 63b, 74a, 74b ブロック
16, 16a~16g ピン
23, 35 ブロック間配線手段
33 ブロック位置抽出手段
42, 52 セル抽出手段
43, 53 セル選別手段
44 ブロック分割手段
45 ブロック配置手段
46, 46a~46f セル
47 高トグルネット
48 低トグルネット
54 ブロック間移動手段
62, 73, 82 配置配線順序決定手段
64a~64c, 75a~75e, 91a~91c, 92a~92c 配線
72 逆相配線抽出手段
81 バス配線抽出手段
83a~83e バス配線

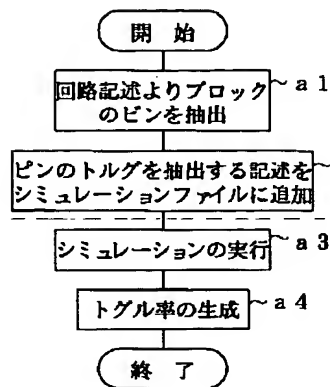
【図1】



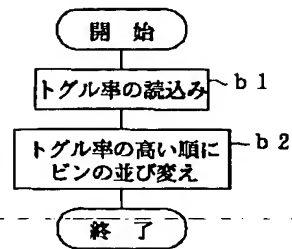
【図2】



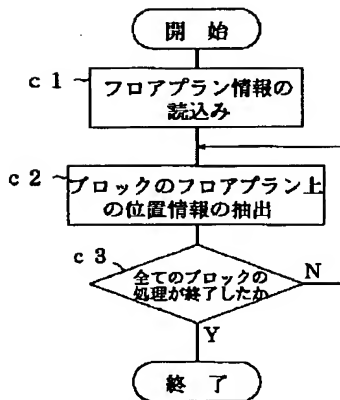
【図3】



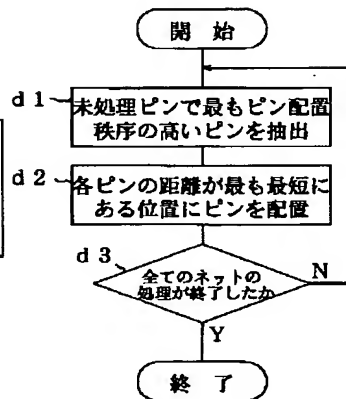
【図4】



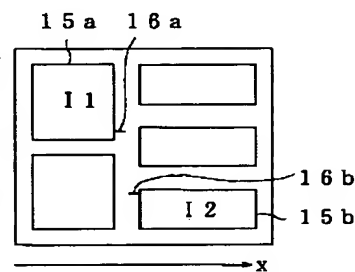
【図5】



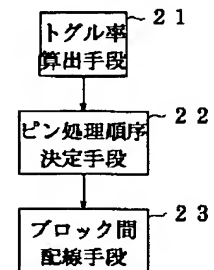
【図6】



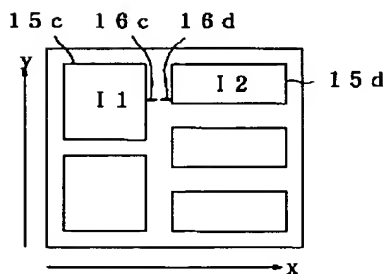
【図7】



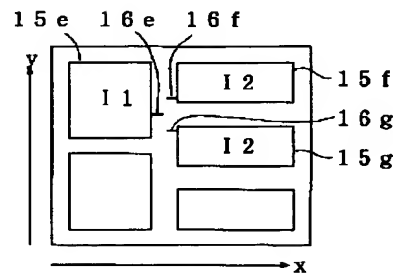
【図10】



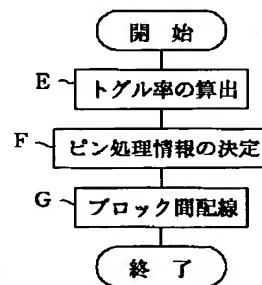
【図8】



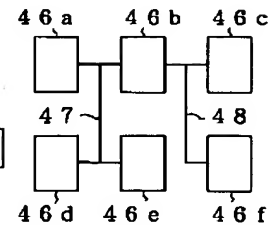
【図9】



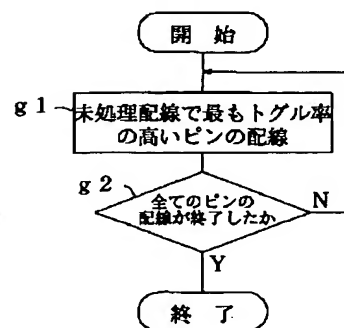
【図11】



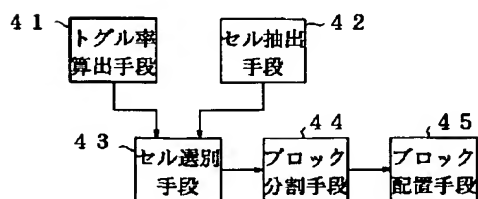
【図16】



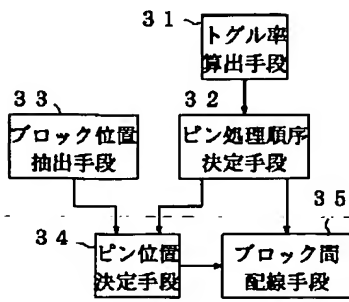
【図12】



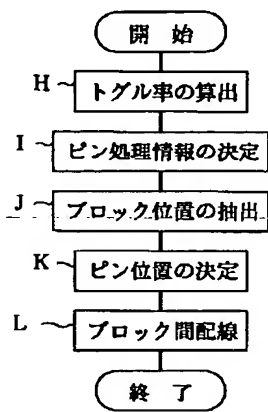
【図15】



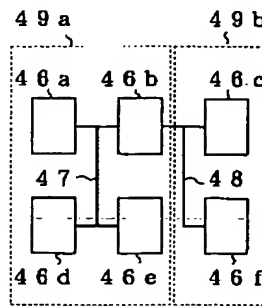
【図13】



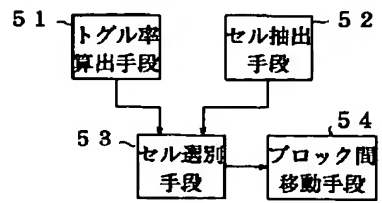
【図14】



【図17】

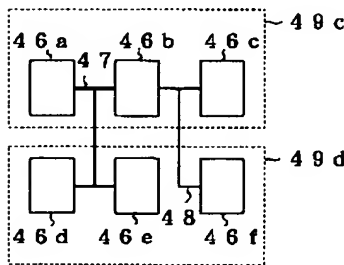


【図18】

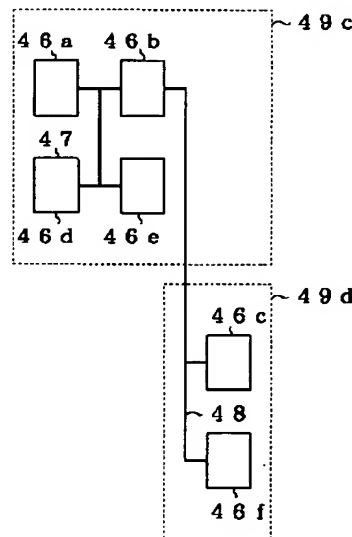


【図22】

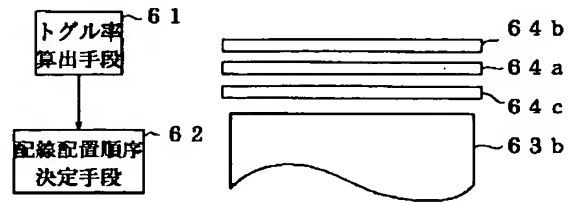
【図19】



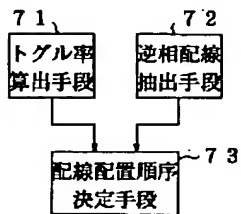
【図20】



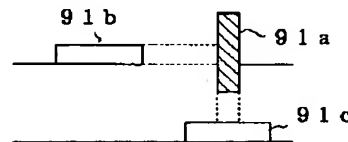
【図21】



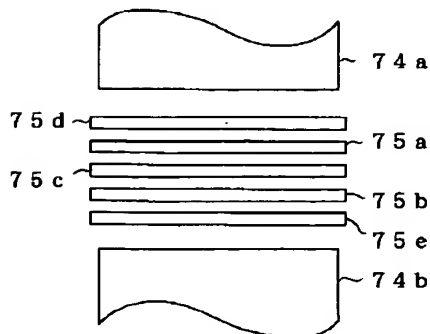
【図23】



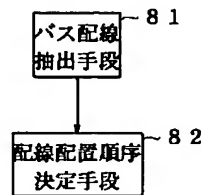
【図27】



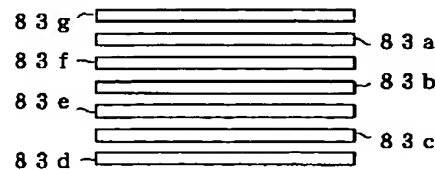
【図24】



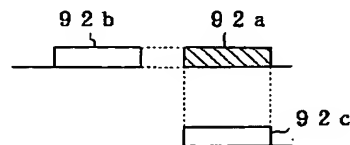
【図25】



【図26】



【図28】



フロントページの続き

(72)発明者 横山 賢司
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 廣瀬 勝彦
大阪府門真市大字門真1006番地 松下電器
産業株式会社内